

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-133943

(43)Date of publication of application : 23.05.1990

(51)Int.Cl.

H01L 23/12

H01L 21/66

(21)Application number : 01-190373

(71)Applicant : CONTRAVES AG

(22)Date of filing : 21.07.1989

(72)Inventor : ACKERMANN KARL-PETER  
BERNER GIANNI

(30)Priority

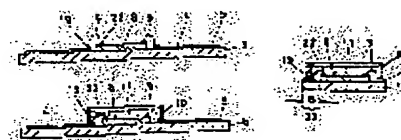
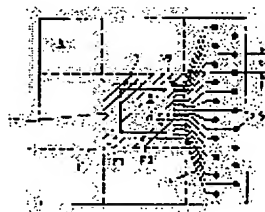
Priority number : 88 2797 Priority date : 22.07.1988 Priority country : CH

## (54) HIGHLY INTEGRATED CIRCUIT AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To conduct a dynamic test completely before a circuit is mounted, reduce the necessary space, and make it possible to manufacture and mount without using any special tool or machine by making a substrate edge have a width of only several mm and providing a connection for testing a semiconductor chip outside the substrate edge.

CONSTITUTION: A base plate 6 including a substrate 17 having a substrate area F1 a little larger than the semiconductor chip 8 is provided with a conductor path 4 which connects to a 1st connection 19 on one side and also connects to a test connection 5 positioned outside the area F1 on the other side. While the area 19 has a grid interval (d) nearly corresponding to the grid interval of a chip connection 22, the connection 5 is designed to a grid interval (c) and in this state, a test can be conducted by an ordinary test device. Then the chip 8 is fixed in a mount area 2 on the plate 6 and a connection 22 is connected to the area 19 by a conductor. Then the substrate 17 projects along all the sides, the substrate edge 23 having edge width B of only several mm extends beyond the semiconductor chip 8, and the connection for testing the circuit is not present at the edge 23.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-133943

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)5月23日

H 01 L 23/12  
21/66

E 7376-5F  
7738-5F

H 01 L 23/12

L

審査請求 未請求 請求項の数 10 (全9頁)

⑮ 発明の名称 高集積回路及びその製造方法

⑯ 特 願 平1-190373

⑰ 出 願 平1(1989)7月21日

優先権主張 ⑱ 1988年7月22日 ⑲ スイス(CH) ⑳ 2797/88-8

㉑ 発 明 者 カルル ベーター ア スイス国 5443 ニーデルロールドルフ グヴァイツグヴェ  
ツケルマン ーク 36

㉒ 発 明 者 ギアンニ ベルナー スイス国 5400 バーデン アイツヒタールヘーエ 18

㉓ 出 願 人 コントラヴェス アク スイス国 8052 チューリッヒ シヤフハウゼルシュトラ  
チエン ゲゼルシャフ ーセ 580  
ト

㉔ 代 理 人 弁理士 中 村 稔 外7名

明 細 書

1. 発明の名称 高集積回路及びその製造方法

2. 特許請求の範囲

(1)(a) チップ領域(F2)と第1のグリッド間隔  
で配置された複数のチップ接続(22)とを  
備えた平形半導体チップ(8) ;

(b) 上面と下面、及びチップ領域(F2)より  
も大きい基板領域(F1)を備えた平形基板  
(17) ;

(c) 基板(17)の上面に位置し、半導体チッ  
プ(8)が配置されるマウント領域(2) ;

(d) 基板(17)が全ての辺(9)で突出し、  
基板エッジ(23)が半導体チップ(8)を  
越えて延びていること ;

(e) 基板(17)の上面に、前記第1のグリッ  
ド間隔と実質上等しいグリッド間隔(d)を  
持つ第1の接続領域(19)が設けられてい  
ること ;

(f) チップ接続(22)が第1の接続領域  
(19)と導電接続されていること ;そして

(g) 基板エッジ(23)がわずか数mmのエッジ  
幅(B)を有するとともに ;

(h) 半導体チップ(8)を試験するための接続  
が基板エッジ(23)の外側に設けられてい  
ること

から成る高集積回路。

(2) エッジ幅(B)が2mmよりも小さい請求項(1)  
記載の高集積回路。

(3)(a) 基板(17)の上面上で、導体路(4)が  
第1の接続領域(19)から始まって基板  
(17)のエッジへと伸び ;さらに

(b) 基板(17)のエッジに、導体路(4)に  
よって第1の接続領域(19)に接続された  
第2の接続領域(19')が設けられた  
請求項(2)記載の高集積回路。

(4)(a) 基板(17)のマウント領域(2)内に、  
基板(17)の上面を下面に導電接続すると  
共に、該下面にパンパ(21)の形の接点領  
域を有する貫通メタライズされた貫通孔  
(18)が設けられており ;

特開平2-133943(2)

- (b) 貫通孔(18)が前記第1のグリッド間隔より大幅に大きいグリッド間隔(e)で配置されており;さらに
- (c) 少なくとも基板(17)の上面上の導体路(20)が第1の接続領域(19)から始まって貫通孔(18)へと延びている
- 請求項(2)記載の高集積回路。
- (5) 第1の接続領域(19)が接続ワイヤ(9)によってチップ接続(22)に接続され、半導体チップ(8)がシーリングコンパウンド(11)によって被覆されている請求項(3)及び(4)のいずれか一項記載の高集積回路。
- (6) 第1の接続領域(19)がチップ接続(22)に対して鏡像の関係で配置され、チップ接続(22)に直接はんだ付けされている請求項(3)及び(4)のいずれか一項記載の高集積回路。
- (7)(a) 基板領域(F1)よりもはるかに大きい領域を持ち、該領域の中心に位置するマウント領域(2)を備えたその後の基板(17)を含む基板プレート(6)に対して、基板領域(F1)の内側に第1の接続領域(19)、及び基板領域(F1)の外側に大幅に大きいグリッド間隔(c)を持つテスト接続(5)、さらに第1の接続領域(19)をテスト接続(5)に接続する導体路(4)が設けられる工程;
- (b) 半導体チップ(8)がマウント領域(29)内で基板プレート(6)に固着される工程;
- (c) チップ接続(22)が第1の接続領域(19)に導電接続される工程;
- (d) 半導体チップ(8)の機能がテスト接続(5)を介して完全に試験される工程;及び
- (e) 基板(17)が基板プレート(6)から分離され、導体路(4)が基板(17)のエッジで分断される工程
- から成る高集積回路の製造方法。
- (8)(a) 絶縁性セラミックまたは絶縁層を備えたシリコンで形成された基板プレート(6)が使われ;
- (b) 貫通孔(18)がレーザで作成され;
- (c) チップ接続(22)が第1の接続領域(19)に導電接続される工程;及び
- (d) 半導体チップ(8)の機能がパンプ(21)を介して完全に試験される工程
- から成る高集積回路の製造方法。
- (9)(a) 絶縁性セラミックまたは絶縁層を備えたシリコンで形成された基板プレート(6)が使われ;
- (b) 第1の接続領域(19)、導体路(4)及び貫通孔(18)の貫通メタライズ化が、特にCu、Ni及びAuなど複数の金属層の化学蒸着によって施され;さらに
- (c) パンプ(21)が電気化学的に被着される
- 請求項(9)記載の方法。
- (a) 第1の接続領域(19)、導体路(4)及び試験接続(5)が、特にCu、Ni及びAuなど複数の金属層の化学蒸着によって施され;さらに
- (d) 基板(17)を基板プレート(6)から分離するため、基板プレート(6)が分離線(7)に沿って刻み目を入れられた後破断される
- 請求項(7)記載の方法。
- (9)(a) 貫通孔(18)が基板(17)のマウント領域(2)内に形成される工程;
- (b) 基板(17)に、第1の接続領域(19)と、該第1の接続領域(19)を貫通孔(18)に接続する導体路(20)とが施される工程;
- (c) 貫通孔(18)が貫通メタライズされると共に、下面の貫通孔箇所にパンプ(21)が設けられ工程;
- (d) 半導体チップ(8)がマウント領域(2)内で基板(17)に固着される工程;

## 3. 発明の詳細な説明

## (産業上の利用分野)

本発明は、マイクロエレクトロニクスの分野に関する。より詳しくは、本発明は、

- (a) チップ領域と第1のグリッド間隔で配置された複数のチップ接続とを備えた平形半導体チップ；
- (b) 上面と下面、及びチップ領域より大きい基板領域を備えた平形基板；
- (c) 基板の上面に位置し、半導体チップが配置されるマウント領域；
- (d) 基板が全ての辺で突出し、基板エッジが半導体チップを越えて延びていること；
- (e) 基板の上面に、前記第1のグリッド間隔と実質上等しいグリッド間隔を持つ第1の接続領域が設けられていること；及び
- (f) チップ接続が第1の接続領域と導電接続されていること

を備えた特にマルチチップモジュール用の高集積回路に関する。

び  $12\text{mm} \times 12\text{mm}$  より大きい Si チップ領域を備えた集積回路 (IC) をもたらす。これによって、IC 後との接続数は飛躍的に増加するムーア (Moore) の法則)。

こうした発展の結果、特にそのような IC 用のハウジング技術において、すなわちチップが挿入される際に問題が生じている。例えば、DIP、SO、PLCC、LCCC、PGA など現在周知で、使われているハウジング (この点に関しては: Electronics, November 11 (1985), p. 26-31 参照) は、IC 毎に約 200 以上の接続数では急激に大きくなり、従って非経済的で信頼性が失われるばかりか、IC との間での電気信号の遅延時間も増してしまう。

その理由は、ハウジングの接続に最小の間隔が必要とされ、担持基板 (回路板またはセラミック基板) とのはんだ接続を可能とするため、その間隔を約  $0.5\text{mm}$  にしなければならない点にある。従って、接続数が 200 の場合、ハウジングエッジの長さは  $25\text{mm}$  以上となり、チップのアクティブ

本発明はまた、基板の上面上で、導体路が第1接続領域から始まって基板のエッジへと延び：さらに基板のエッジに、導体路によって第1の接続領域に接続された第2の接続領域が設けられたような高集積回路の製造方法に関する。

さらに本発明は、基板のマウント領域内に、基板の上面を下面に導電接続すると共に、該下面にパンプの形の接点領域を有する貫通メタライズされた貫通孔が設けられており；貫通孔が前記第1のグリッド間隔より大幅に大きいグリッド間隔で配置されており；さらに少なくとも基板の上面上の導体路が第1の接続領域から始まって貫通孔へと延びているような高集積回路の製造方法に関する。

## (従来の技術)

マイクロエレクトロニクスにおける引き続く小型化と集積化は、ますます複雑化している高集積 VLSI (超大規模集積) 回路で例証されている。

複雑さが増大するサブミクロンレンジへのさらなる発展は同時に、数百万のトランジスタ機能及

領域対ハウジングの必要領域の比が非常に低くなる。

この問題に対処する一つの可能な方法は、(ハウジングを含まない) 裸の IC チップを大面積の担持基板上にマウントすることで、例えばフリップチップやワイヤボンディングによって IC から基板への電気接続を実現できる。

この場合には、幾つかの IC を担持基板上にマウントし、それらを非常に小さいスペース内で電気接続するのが有利である。その結果、いわゆるマルチチップモジュール (MCM) またはマルチチップパッケージ (MCP) が得られる。これによって、接続数が 200 以上の IC についても、スペースを大幅に節約でき、非常に信頼できるマウントが達成される。

しかし、上記のハウジング及びマウント技術にも問題がある；つまり裸の IC はマウント前に動的試験を 100% 行えず、バーンイン (動作寿命) 試験も行えない。特に、最新 IC のユーザはこれらの IC を用いると、低い歩留りを受け入れるこ

とを余儀なくされることが多い。しかしながら、ICでの低い歩留りはMCMの歩留りにひどく大きい影響を及ぼす。つまり例えば、各々歩留り90%の5個のICがマウントされる場合、MCM全体の歩留りは60%以下の値に低下する。しかし、このようなMCM上の欠陥ICを取り替えるのは制限された範囲でだけ可能であり、いずれの場合にも非常に複雑で高価につく。

ICのハウジング問題に対する別の可能な解決策は、テープ自動化ボンディング(TAB)である。フィルム担持体上へのこの特殊なハウジング及びボンディング技術は、実装前にICを完全に試験するのを可能とする(この点については: Electronic Packaging & Production, December, 1984, p. 34-39参照)。

しかしながら、TAB技術でも、例えば次のような幾つか重大な欠点を有する:

- 必要な全面積が、SIチップのアクティブ領域よりもはるかに大きい;
- ウェハ上でICに特別の処理(ウェハ作製時

におけるIC接続上へのいわゆるパンプの形成)を追加して施さなければならない;

- マウントの特別の高価な工具が必要である;
- 及び
- 特別の使用機械に対して、試験及び取扱を行わねばならない。

このためTABは、例えば大きい数または非常に低い設計高さが必要であるような選ばれた用途にだけ適する。

(発明が解決しようとする課題)

従って、この発明の一つの目的は、マウント前に完全に動的試験を行え、必要なスペースがチップのアクティブ領域と比べてわずかしき大きくなく、さらに特別の工具及び機械を必要とせず、製造及びマウント可能な新規の高集積回路を提供し、またその製造方法を開示することにある。

(課題を解決するための手段)

上記目的は、基板エッジがわずか数mmのエッジ幅を有し、さらに半導体チップを試験するための接続が基板エッジの外側に設けられている冒頭に

述べたような高集積回路によって達成される。

好ましくは、2mmより小さいエッジ幅が選ばれる。

かかるエッジ幅は十分に大きいグリッド間隔を持つ試験接続を十分に受け入れられないので、本発明では試験接続が基板エッジの外側に配置される。

発明の第1の好ましい実施例においては、

- (a) 基板の上面上で、導体路が第1の接続領域から始まって基板のエッジへと延び; さらに
- (b) 基板のエッジに、導体路によって第1の接続領域に接続された第2の接続領域が設けられる。

この構成では、試験接続が最終回路上に全く存在せず、製造の中間段階でのみ存在する。

このような回路の本発明による方法は、下記の各工程:

- (a) 基板領域よりもはるかに大きい領域を持ち、該領域の中心に位置するマウント領域を備えたその後の基板を含む基板プレートに対して、基板領域の内側に第1の接続領域、及び基板領域

の外側に大幅に大きいグリッド間隔を持つテスト接続、さらに第1の接続領域をテスト接続に接続する導体路が設けられる工程;

- (b) 半導体チップがマウント領域内で基板プレートに固着される工程;
  - (c) チップ接続が第1の接続領域に導電接続される工程;
  - (d) 半導体チップの機能がテスト接続を介して完全に試験される工程; 及び
  - (e) 基板が基板プレートから分離され、導体路が基板のエッジで分断される工程;
- によって与えられる。

発明の第2の好ましい実施例においては、

- (a) 基板のマウント領域内に、基板の上面を下面に導電接続すると共に、該下面にパンプの形の接点領域を有する貫通メタライズされた貫通孔が設けられており;
- (b) 貫通孔が前記第1のグリッド間隔より大幅に大きいグリッド間隔で配置されており; さらに
- (c) 少なくとも基板の上面上の導体路が第1の接

統領域から始まって貫通孔へと延びている。

この実施例では、貫通孔箇所の下面上のバンブがそれらの比較的大きいグリッド間隔によって、回路の試験と接続両方に使われる。

このような回路の本発明による方法は、下記の工程：

- (a) 貫通孔が基板のマウント領域内に形成される工程；
  - (b) 基板に、第1の接続領域と、該第1の接続領域を貫通孔に接続する導体路とが施される工程；
  - (c) 貫通孔が貫通メクライズされると共に、下面の貫通孔箇所にバンブが設けられる工程；
  - (d) 半導体チップがマウント領域内で基板に固着される工程；
  - (e) チップ接続が第1の接続領域に導電接続される工程；及び
  - (f) 半導体チップの機能がバンブを介して完全に試験される工程；
- によって与えられる。

上記以外の実施例は、特許請求の範囲に記載さ

れている。

つまり本発明は、多数の接続を有する複雑なICでも使える新規なハウジング及びマウント概念によって、前記の問題を解消する。この概念は、そのような複数のICの回路板へのマウント、すなわちマルチチップモジュールにも特に適する。

本発明の注目すべき利点は下記の通りである：

- マウント（バーンイン試験を含む）の前に、ICを完全に動的試験可能である；
- 必要なスペースがSIチップ自体よりわずかに大きいだけである；及び
- ICの製造中、特別な工具や機械（ワイヤボンダーを除く）及び特別の製造工程は全く必要ない。

本発明とそれに付随する多くの利点のより完全な理解は、添付の図面に基づく以下の詳細な説明を参照することによって明瞭になるにつれ容易に得られるであろう。

(実施例)

ここで図面を参照すると、第1図は従来技術に

よる高度に複雑なIC用のハウジング構成を示している。尚各図面を通じ、同じ参照番号は同等または対応した部分を示す。このICは、頂部セラミックプレート1aと底部セラミックプレート1bとで実質的に構成されたハウジング1を備えている（図中内部の接続が見えるように、頂部セラミックプレート1aは部分的に省略してある）。

底部セラミックプレート1b上のプレート領域の中心に、半導体チップ8（能動IC）用のマウント領域が設けられる。ハウジング1のエッジに、例えば（1/20インチつまり50ミルに対応した）1.27mmである規格化グリッド間隔で周囲接続接点3が配置されている。この比較的大きいグリッド間隔aは、構成ICの実装時に、接続接点の正しいはんだ付けを保証するために必要である。

底部セラミックプレート1b上には、導体路4が接続接点3からマウント領域2へと延び、そこでマウント領域2の周囲に沿ってグリッド間隔bで配置された小さい第1の接続領域19に続いて終っている。グリッド間隔bはグリッド間隔aより

りはるかに小さく、見やすくするため第1図には示していない半導体チップ8のチップ接続（第2B図の22）のグリッド間隔とはほぼ対応している。チップ接続と第1の接続領域19は通常、（同じく示していない）ワイヤボンディングによって相互に導電接続されている。

回路全体は、実装前に接続接点3を介して動的に完全に試験可能である。しかしこの利点は、ハウジング1に必要なスペースが半導体チップ8で決まる面積よりかはるかに大きいという犠牲を払って達成されている。

完全な動的テストの可能性及び必要スペースの大幅減少の両方を同時に実現するため、本発明では第2A-F図に示した好ましい実施例において下記の手法を採用する；

まず、比較的大きい面積の基板プレート6が使われる（第2A図）。基板プレート6は、例えば通常の絶縁セラミック（A1203など）、絶縁領域層で被覆されたシリコン、またはガラスからなり、例えばIC用の接続数が224とすれば、

1 インチ×1 インチの面積を有する。

基板プレート6内に、基板プレート6の領域より大幅に小さく、チップ領域F2を持つ半導体チップ8よりわずかにだけ大きい(全ての辺で約1-2mm)基板領域F1を持つ基板17(第2A図に斜線で示してある)が含まれている。基板領域F1は基板プレート6内で分離線7によって画成されており、後に(試験後)基板17が分離線7に沿って基板プレート6から分離される。

基板プレート6には、片側で第1の接続領域19に通じ、他側で試験接続5に通じた導体路4が施されている。この構成では、第1の接続領域19がマウント領域2の周囲に沿って基板領域F1内に位置し、試験接続5は基板プレート6のエッジで基板領域F1の外側に位置する。

第1の接続領域19が従来例と同じくチップ接続のグリッド間隔にほぼ対応したグリッド間隔dを有する一方、試験接続5は例えば1.27mmのグリッド間隔cで設計され、この状態で通常の試験装置によって完全に試験可能とされている。

半導体チップ8の基板プレート6に対する機械的及び電気的マウントが完了した後、特に後の基板17のエッジにおける導体路4が接続目的のため自由な状態のままとなるような方法で、半導体チップ8は保護のためシーリングコンパウンド11(例えばエポキシまたはシリコンコンパウンド)によって被覆される(第2C図)。これに対応するシーリングコンパウンド11の制限は第2C図の例において、鑄込み型の一種として機能する対応した大きいフレーム10によって達成される。

ここで鑄込みは、半導体チップ8、特に接続ワイヤ9を保護する役割を果たしている。第4図に示した替わりのフリップチップ接続方式の例では、シーリングコンパウンド11を用いる必要がない。

次いで、このように保護された回路が、試験ホルダー13に取り付けられた対応するグリッド間隔の試験ニードル12を有する通常の試験装置で動的に完全に試験され(第2D図)、必要ならバーンイン試験に付される。

第1の接続領域19、導体路4及び試験接続5は、特にCu、Ni及びAuなど複数の金属層の化学蒸着によって基板プレート6に施されるのが好ましい(見やすくするため第2A図には1つのプレート辺についてだけ示してある)。

このようにして基板プレート6に配線パターンが設けられた後、半導体チップ8が基板プレート6上でマウント領域2内に固着され、チップ接続22が第1の接続領域19に導体接続される(第2B図)。

第2B図の断面図では、接続のためにワイヤボンディングの技術が使われており、第1の接続領域19とチップ接続22にボンドされた接続ワイヤ9が使用されている。

上記に替わる“フリップチップ”の名前で知られる別の接続方式が、第4図に示してある。この構成では、第1の接続領域19がマウント領域2内のチップ接続22と鏡像の関係で配置されており、半導体チップ8が第1の接続領域19に対して逆に直接はんだ付けされる。

動的試験(及びバーンイン試験)が首尾よく完了した後、コンパウンドの鑄込まれた半導体チップ8と基板17のエッジで自由な状態にある導体路4が、分離線7に沿って基板プレート6から分離される。基板プレート6はセラミックまたはガラスで形成されているので、この分離作業は刻み目を入れた後、破断することによって行える。しかし、裁断または切断作業も同様に考えられる。これによって、導体路4は基板17のエッジで分断される。

この結果、第2E(a)図に断面図及び第2E(b)図に平面図で示したような高集積回路が得られる。ここで、基板17は全ての辺に沿って突出し、わずかに数mmのエッジ幅Bを持つ基板エッジ23半導体チップ8を越えて延びていると共に、回路を試験するための接続は基板のエッジにもはや存在しない。

完成し、完全に試験された回路はその後、例えばマルチチップモジュールへと実装可能であり、大きい回路板16上に固着された回路がワイヤボ



ンディング方式により、接続ワイヤ14によって回路板16上の導体路15へと電気接続される(第2F図)。この構成では、IC側において、導体路4の端部でわずかに数100 $\mu$ mの長さが自由な状態となるように配置された第2の接続領域19'に対して接続がなされる。

上記したものと同様に有効な「失われた」試験接続の原理に基づく別の解決策を、第3A-F図に示した実施例を参照して次に説明する。

この構成では、試験に使われるのと同じ接続が、ICを大きい回路板へ接続する役割も果たす。この場合にも、それらの接続は基板エッジの外側であって、より詳しくは半導体チップ真下のマウント領域の内側に位置する。

この場合には大きい基板プレートから出発せず、最終サイズの基板17そのままから出発する。複数の貫通孔18が、基板プレート6と同じ材料で形成可能な基板17のマウント領域2内に、チップ接続のグリッド間隔よりも大幅に大きく1.27mmであるのが好ましいグリッド間隔 $\phi$ で形成され

る(第3A図)。基板17の上面からその下面へと延びた貫通孔18は、その後上面と下面間の導電接続のために使われる。貫通孔は例えば、セラミック基板にレーザに作製できる。

孔あき基板17に(例えば前述した方法によって)、第1の接続領域19と、該第1の接続領域19を貫通孔18に接続する導体路20とが施される(第3B図)。ここで導体路20は、基板17の上面と下面の両方に配置できる。第1の接続領域19は、同じくチップ接続のグリッド間隔とほぼ等しいグリッド間隔 $\phi$ を有する。

これに追加して、あるいは導体及び接続構造を施すのと同時に、貫通孔18はそれらを買いてメタライズされると共に、基板17の下面箇所に(好ましくは電気化学蒸着によって)、いわゆるパンプ21の形の接点領域が設けられる。この結果、第3C図の断面図に示すような基板が得られる。但しこの図では、図面を簡単にするため導体路20は描かれていない。

次いで、半導体チップ8がこのように作成され

た基板17上に固着され、基板17に電気接続される。この電気接続も、ワイヤボンディング(第3D図:チップ接続22から第1の接続領域19への接続ワイヤ9)またはフリップチップマウント(第5図)によって行われる。

尚ここで、フリップチップマウント(第4、5図)を用いた場合、その後の工程は、コンパウンドの封込みが省かれる点を除き、ワイヤボンディング法について示した工程とほぼ同じであることを述べておく。

機械的及び電氣的にマウントされた半導体チップ8は次いで、シーリングコンパウンド11で封込まれ(第3E図)、これによって基板エッジ23も完全に被覆される。ICの電気接続は、基板17下面のパンプ21を介して行われるからである。

第3E図に示した封込みの後の状態で、ICは動的に完全に試験され(テストの試験ニードルが基板17の下面からパンプ21に接触される)、最後に回路板16上へフリップチップマウントに

よって固着可能である(第3F図:回路板16上に存在する導体路は図に示していない)。

両実施例に示したように、本発明は、一方において最終マウント前に完全な動的試験とバーンアップ試験を可能にし、他方においてアクティブなSiチップよりも著しく大きいスペースを取らない高集積回路が得られるようにする。

もちろん、本発明の数多くの変更及び変形が上記の教示に照らして可能である。このため、特許請求の範囲内において、本発明は前述した以外の態様でも実施し得ることが理解されるべきである。

#### 4. 図面の簡単な説明

第1図は高度に複雑なIC用の周知なハウジング構成を示す;第2A-F図は本発明の第1の好ましい実施例による高集積回路の製造及びマウントにおける各工程を示す;第3A-F図は本発明の第2の好ましい実施例による高集積回路の製造及びマウントにおける各工程を示す;第4図は第2B図に示した高集積回路への別の種類の接続(フリップチップ)を示す;第5図は第3D図に

示した高集積回路への別の種類の接続（フリップチップ）を示す。

1・・・ハウジング、1a・・・頂部セラミックプレート、1b・・・底部セラミックプレート、2・・・マウント領域、3・・・接続接点、4・・・導体路（基板）、5・・・試験接続、6・・・基板プレート、7・・・分離線、8・・・半導体チップ、9・・・接続ワイヤ（チップー基板）、10・・・フレーム、11・・・シーリングコンパウンド、12・・・試験ニードル、13・・・試験ホルダー、14・・・接続ワイヤ（基板ー回路板）、15・・・導体路（回路）、16・・・回路板、17・・・基板、18・・・貫通孔、19・・・第1の接続領域、19'・・・第2の接続領域、20・・・導体路（基板）、21・・・パンプ、22・・・チップ接続、23・・・基板エッジ、a-f・・・グリッド間隔、B・・・エッジ、F1・・・基板領域、F2・・・チップ領域。

FIG.1

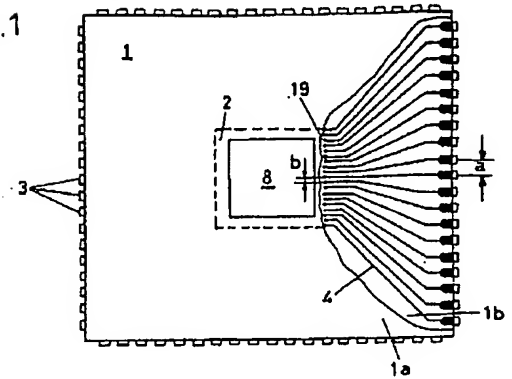


FIG.2A

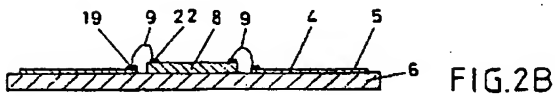
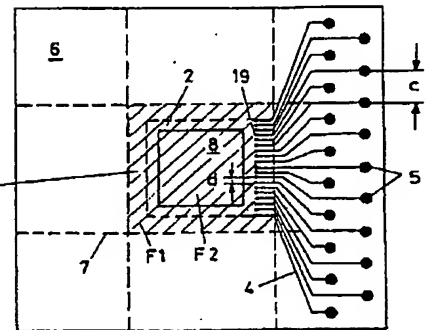


FIG.2B

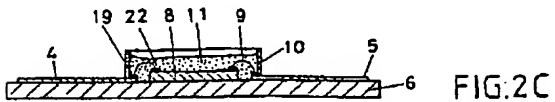


FIG.2C

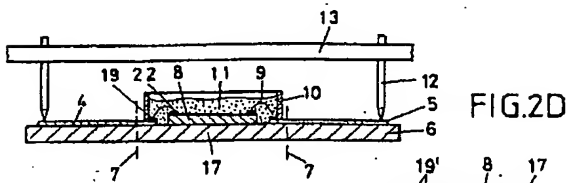


FIG.2D

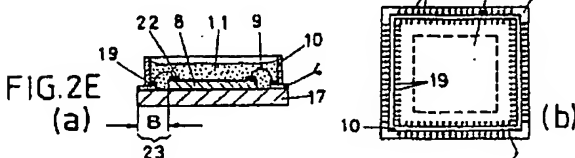
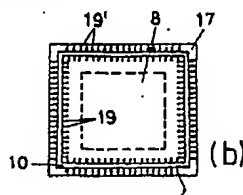
FIG.2E  
(a)

FIG.2F

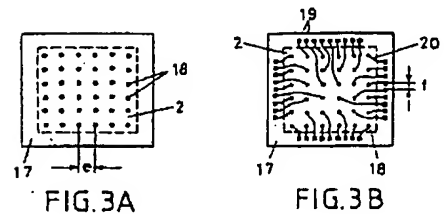
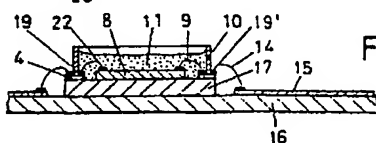


FIG.3A

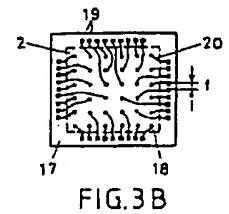


FIG.3B

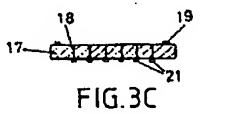


FIG.3C

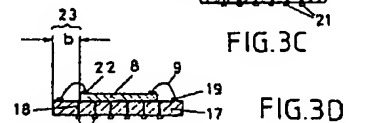


FIG.3D

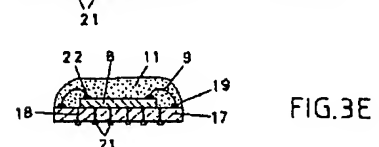


FIG.3E

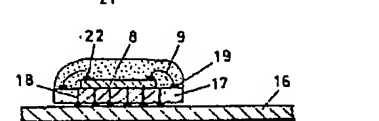


FIG.3F

特開平2-133943(9)

手続補正書(方式)

平成 年 月 日  
1.11.10  
通

特許庁長官 吉田 文 毅 殿

1. 事件の表示 平成1年特許願第190373号

2. 発明の名称 高集積回路及びその製造方法

3. 補正をする者

事件との関係 出 願 人

名 称 コントラヴェス アクチェン  
ゲゼルシャフト

4. 代 理 人

住 所 東京都千代田区丸の内3丁目3番1号  
電話(代) 211-8741

氏 名 (5995) 弁理士 中 村



5. 補正命令の日付 平成1年10月31日

6. 補正の対象 願書の特許出願人の撰  
代理権を証明する書面  
明細書の図面の簡単な説明の欄

7. 補正の内容 別紙のとおり

明細書第26頁第14行目の「第2A図」を「第2A~F図」に、同頁第16行目の「第3A図」を「第3A~F図」にそれぞれ訂正する。

特 許 庁

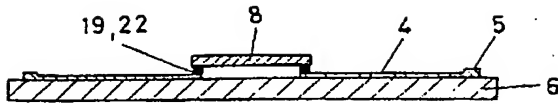


FIG. 4

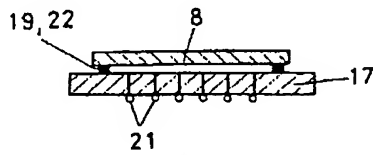


FIG. 5